

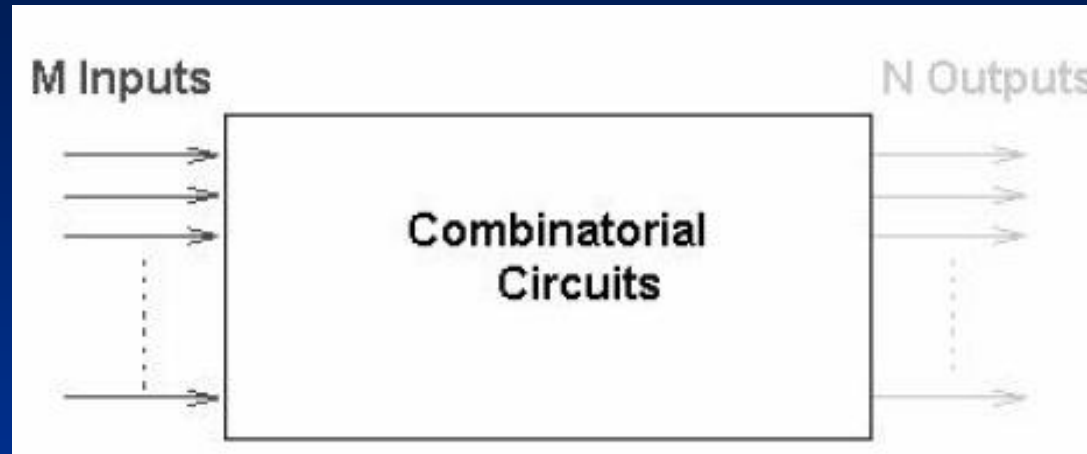
# RANGKAIAN LOGIKA SEKUENSIAL (FLIP FLOP)

Imam Khairi., ST, MT

# Rangkaian Logika Kombinasional dan Sequensial

- Rangkaian Logika secara garis besar dibagi menjadi dua, yaitu rangkaian logika Kombinasional dan rangkaian logika Sequensial
- Rangkaian logika Kombinasional adalah rangkaian yang kondisi keluarannya (*output*) dipengaruhi oleh kondisi masukan (*input*).

- Struktur rangkaian kombinasional secara fisik adalah



- Sedangkan rangkaian logika Sequensial adalah rangkaian yang kondisi keluarannya dipengaruhi oleh kondisi masukan dan keadaan keluaran sebelumnya atau dapat juga dikatakan rangkaian yang bekerja berdasarkan urutan waktu.
- Ciri rangkaian logika sequensial yang utama adalah adanya jalur umpan balik (*feed back*) di dalam rangkaianannya.

# FLIP FLOP (FF)

Imam Khairi., ST, MT - Rangkaian  
Logika Sekuensial

# Flip-Flop (ff)

- FF adalah rangkaian utama dalam logika sequensial.
- Counter, Register, Memory, serta rangkaian sequensial lainnya disusun dengan menggunakan flipflop sebagai komponen utama.
- Flipflop adalah rangkaian yang mempunyai fungsi pengingat (*memory*). Artinya rangkaian ini mampu melakukan *penyimpanan data* sesuai dengan kombinasi masukan yang diberikan kepadanya.

Ada 4 macam flipflop yang akan dibahas yaitu

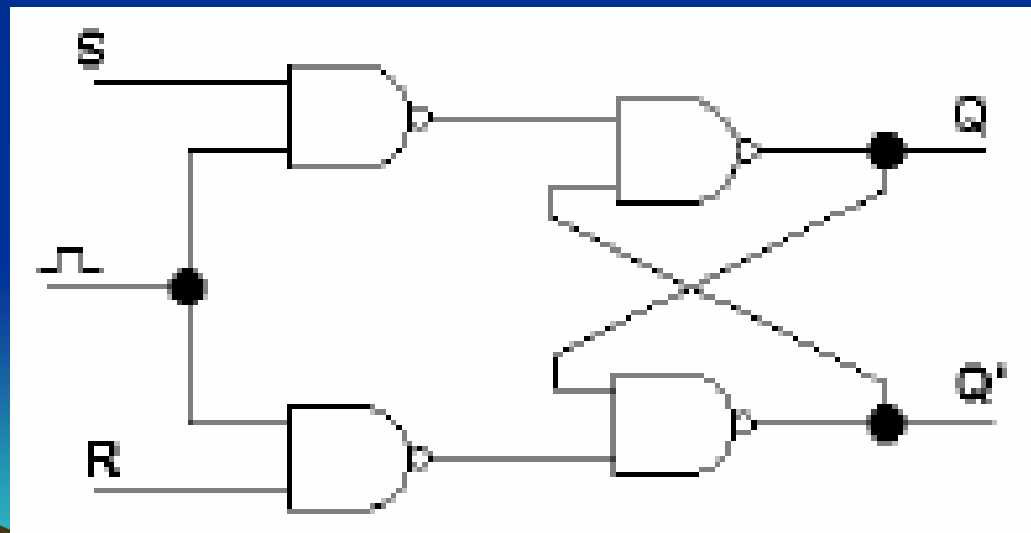
- RS flipflop,
- JK flipflop,
- D flipflop,
- T flipflop.
- Ciri utama dari flipflop adalah keluaran Q dan Q' adalah selalu berlawanan / stabil (jika  $Q = 0$  maka  $Q' = 1$ , Jika  $Q = 1$  maka  $Q' = 0$ ). Karena kondisi dua keadaan stabil ini rangkaian flipflop dinamakan juga dengan rangkaian bistabil.

# R-S FLIP-FLOP

- Flipflop ini terdiri dari dua masukan, yaitu S (set) dan R (reset). Serta dua keluarannya yaitu Q dan Q'
- Kondisi Set adalah kondisi ketika Q berlogika 1. Sedangkan kondisi Reset adalah kondisi ketika Q berlogika 0
- Flipflop R-S tidak diperbolehkan / dilarang saat  $S = 1$  dan  $R = 1$

# Flip-flop R-S dengan clock

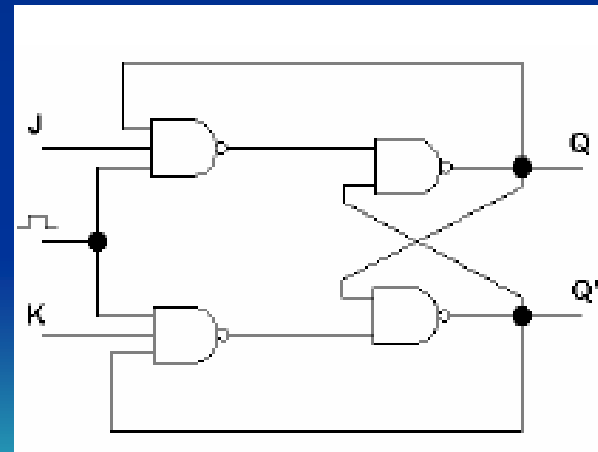
Input		Output	
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	Terlarang	



# J-K FLIP-FLOP

- Flip-flop J-K merupakan penyempurnaan dari flip-flop R-S.
- Pada kondisi masukan  $J = 1$  dan  $K = 1$  akan membuat kondisi keluaran berlawanan dengan kondisi keluaran sebelumnya

Input		Output	
J	K	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}_n$	$Q_n$

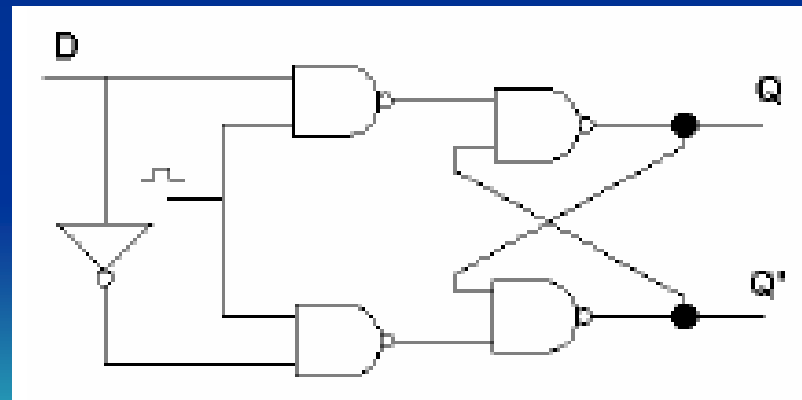




# D FLIP-FLOP

- Flip-flop D merupakan Flip-flop R-S yang memaksa untuk memiliki satu Masukan dengan R selalu berlawanan dengan S, sehingga kondisi masukan SR sama tidak akan pernah terjadi

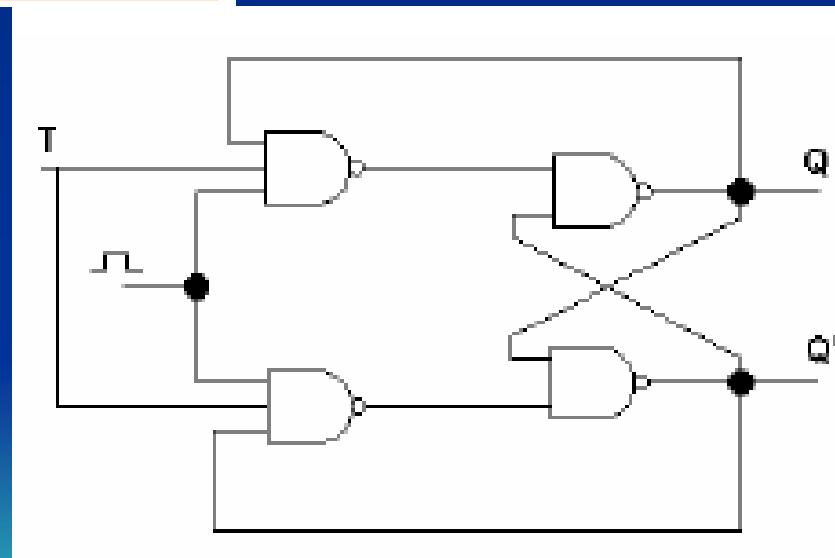
Input	Output
D	$Q_{n+1}$
0	0
1	1



# T FLIP-FLOP

- Flip-flop T atau flip-flop *toggle* adalah flip-flop JK yang kedua masukannya ( J dan K ) digabungkan menjadi satu sehingga hanya ada satu jalan masuk
- Karakteristik dari flipflop ini adalah kondisi keluaran akan selalu *toggle* atau *berlawanan* dengan kondisi sebelumnya apabila diberikan masukan logika 1
- Sementara itu kondisi keluaran akan tetap atau sama dengan kondisi keluaran sebelumnya bila diberi masukan logika 0

Input	Output
T	$Q_{n+1}$
0	$Q_n$
1	$\bar{Q}_n$



# REGISTER

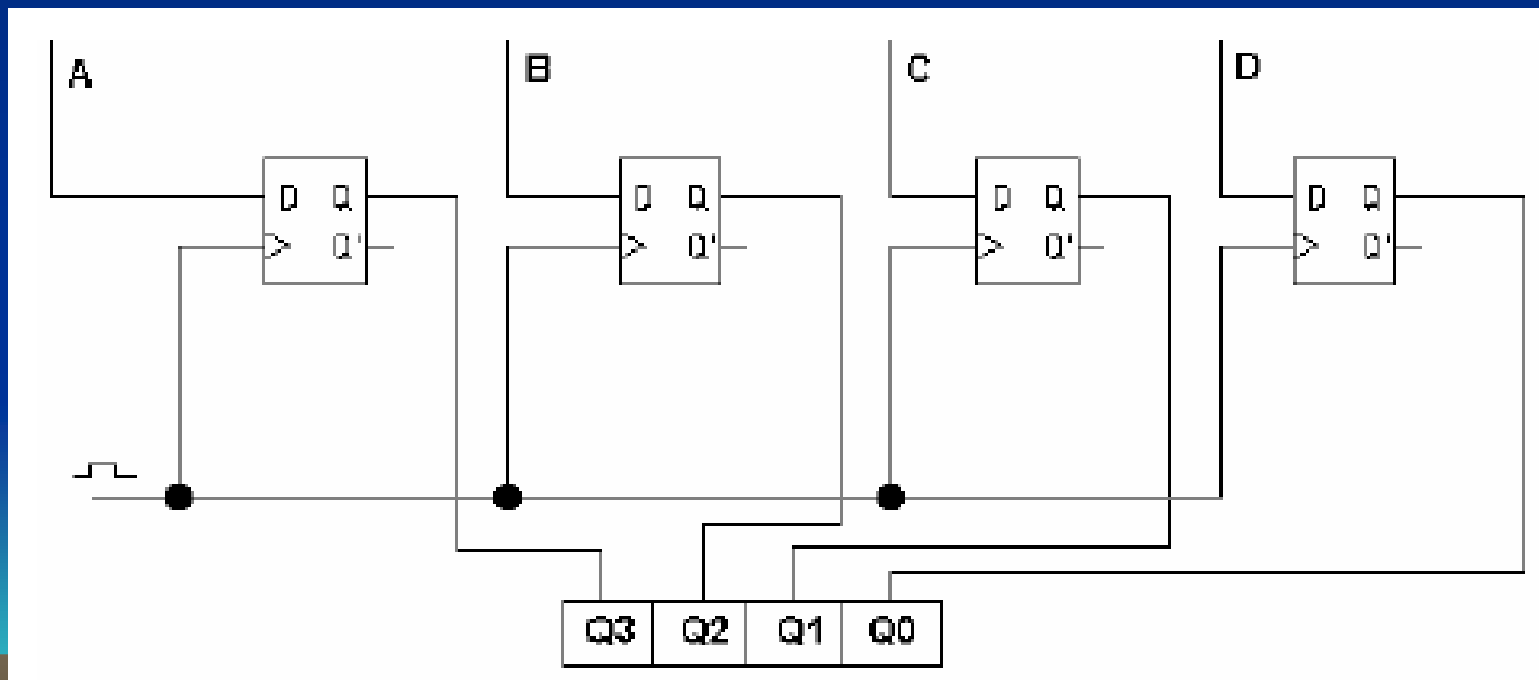
Imam Khairi., ST, MT - Rangkaian  
Logika Sekuensial

# REGISTER

- Register adalah rangkaian yang tersusun dari satu atau beberapa flipflop yang digabungkan menjadi satu untuk menyimpan sebuah data. Untuk menyimpan data pada register, dapat dilakukan dengan dua cara :
  - Disimpan secara sejajar (*Parallel In*) : Pada cara ini semua bagian register atau masing-masing flipflop diisi (dipicu) pada saat yang bersamaan.
  - Disimpan secara seri (*Serial In*) : Pada cara ini, data dimasukkan bit demi bit mulai dari flipflop yang paling ujung , sampai semuanya terisi. Bila data digeser dari kanan ke kiri disebut “Register geser kiri” (*Shift Left Register*), sebaliknya bila data digeser dari kiri ke kanan disebut “Register geser kanan” (*Shift Right Register*).
- Untuk mengeluarkan data juga dapat dilakukan dengan dua cara :
  - Dikeluarkan secara sejajar (*Parallel Out*)
  - Dikeluarkan secara seri (*Serial Out*)

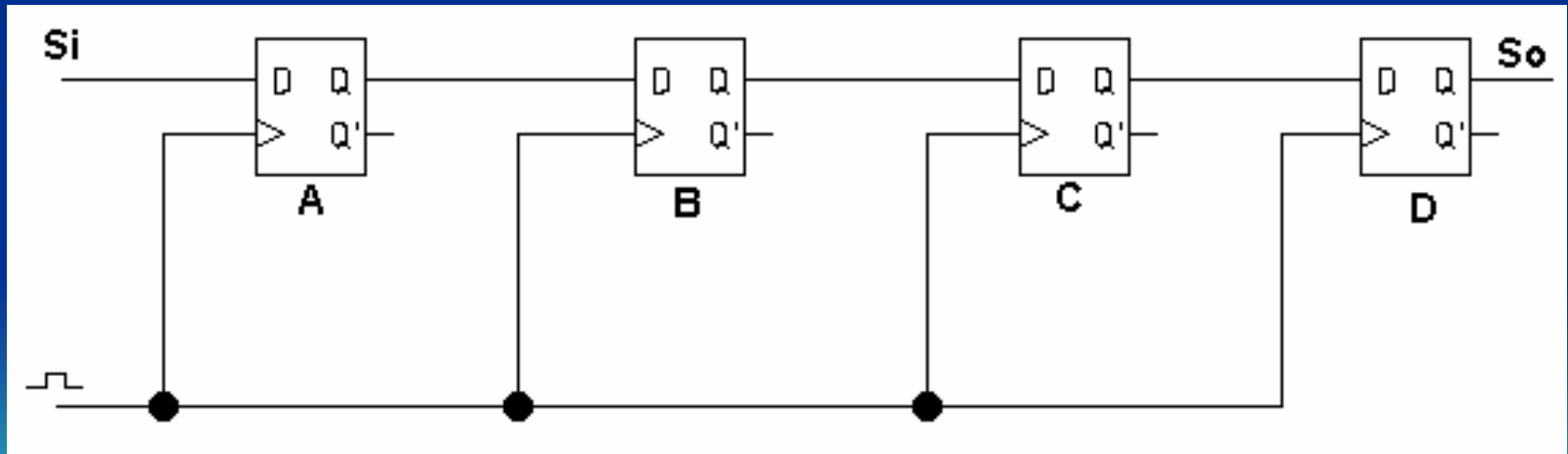
# Parallel In - Parallel Out (PIPO)

- A, B, C, dan D adalah sinyal masukan. Saat *clock* (pemicu) diaktifkan (Logika 1), maka data yang ada akan dikeluarkan secara bersamaan ke Q3, Q2, Q1, dan Q0. Saat *clock* kembali tidak dipicu (Logika 0), maka apapun masukannya, keluaran Q akan tetap.

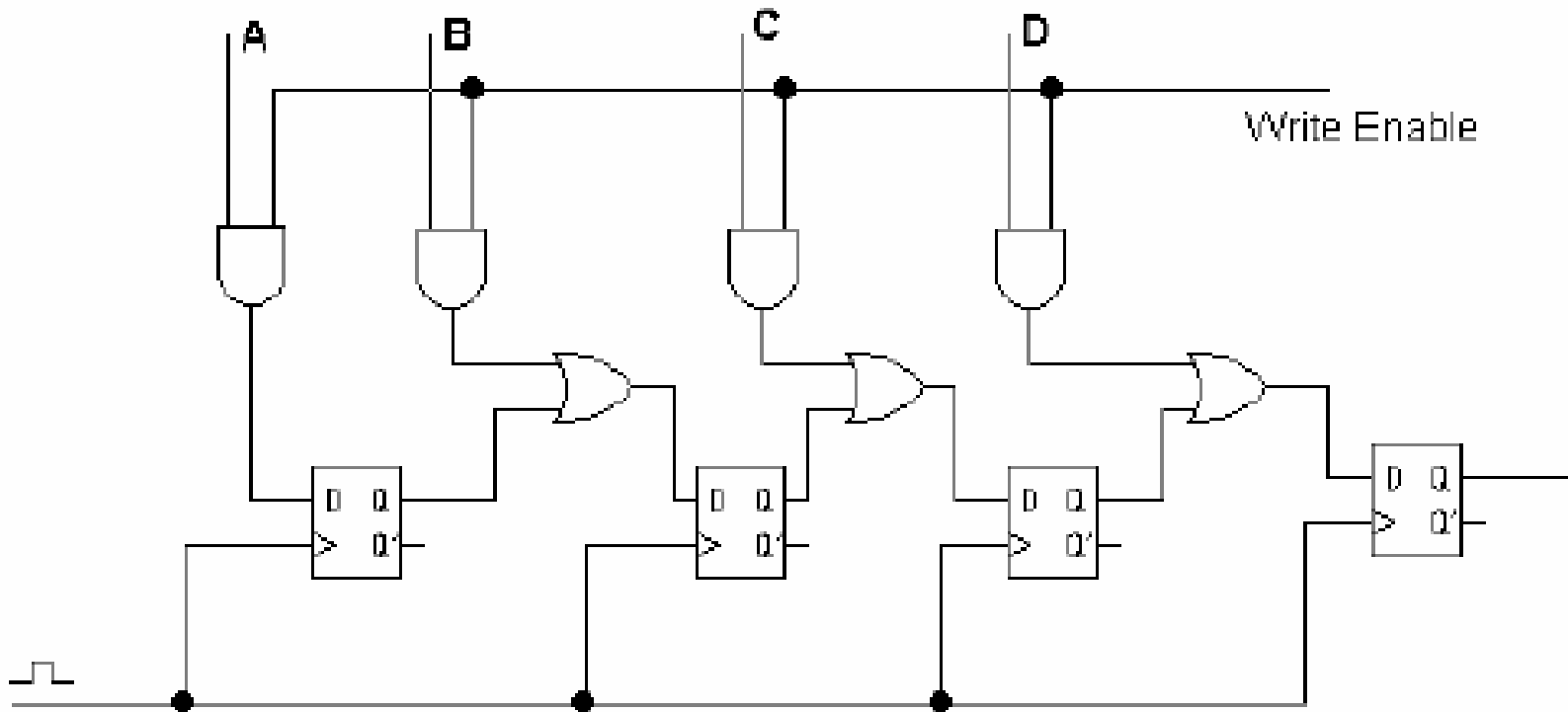


# Serial In - Serial Out (SISO)

- Saat sinyal *clock* diberikan pertama kali, data dari Si masuk ke flipflop A, pada saat *clock* kedua, data dari flipflop A masuk ke flipflop B, demikian seterusnya, sampai keluar ke So. Jadi pada register SISO untuk membaca data pertama kali dibutuhkan jumlah *clock* yang sama banyak dengan jumlah flipflop yang ada pada register (dalam hal ini adalah empat).



# Parallel In – Serial Out (PISO)





# Serial In – Parallel Out (SIPO)

